

DIALOG(R)File 347:JAPIO
(c) 2003 JPO & JAPIO. All rts. reserv.
04661923 **Image available**
MANUFACTURE OF POLYCRYSTALLINE SILICON FILM, MANUFACTURE
OF THIN FILM TRANSISTOR AND REMOTE PLASMA DEVICE
PUB. NO.: 06-333823 [JP 6333823 A]
PUBLISHED: December 02, 1994 (19941202)
INVENTOR(s): MIYAMOTO YASUMASA
 FUSE MARIO
APPLICANT(s): FUJI XEROX CO LTD [359761] (A Japanese Company or
 Corporation), JP (Japan)
APPL. NO.: 05-142529 [JP 93142529]
FILED: May 24, 1993 (19930524)
INTL CLASS: [5] H01L-021/20; G02F-001/136; H01L-021/268; H01L-021/324;
 H01L-021/336; H01L-029/784
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 29.2 (PRECISION
 INSTRUMENTS -- Optical Equipment)
JAPIO KEYWORD: R002 (LASERS); R004 (PLASMA); R011 (LIQUID CRYSTALS); R020
 (VACUUM TECHNIQUES); R096 (ELECTRONIC MATERIALS -- Glass
 Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide
 Semiconductors, MOS)

ABSTRACT

PURPOSE: To improve hydrogenation without damaging a thin film transistor in a hydrogenation treatment method of a thin film transistor wherein polycrystalline silicon is made a semiconductor active layer.
CONSTITUTION: This device is provided with a first process for forming an amorphous silicon film 21 on an insulating substrate 1 and a second process for recrystallizing the amorphous silicon film 21 to form a polycrystalline silicon film 22 by casting laser beam thereon in hydrogen plasma or in atmosphere containing hydrogen plasma. Thereby, while the amorphous silicon film 21 is recrystallized to form the polycrystalline silicon film 22, dangling bond in the film is terminated with hydrogen.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-333823

(43) 公開日 平成6年(1994)12月2日

(51) Int. Cl. ⁵	識別記号	F I
H01L 21/20		8122-4M
G02F 1/136	500	9119-2K
H01L 21/268	Z	8617-4M
21/324	P	8617-4M
		9056-4M
		H01L 29/78
		311 Y
	審査請求	未請求 請求項の数 3 F D (全 7 頁) 最終頁に続く

(21) 出願番号 特願平5-142529

(22) 出願日 平成5年(1993)5月24日

(71) 出願人 000005496

富士ゼロックス株式会社
東京都港区赤坂三丁目3番5号

(72) 発明者 宮本 育昌

神奈川県海老名市本郷2274番地 富士ゼロ
ックス株式会社内

(72) 発明者 布施 マリオ

神奈川県海老名市本郷2274番地 富士ゼロ
ックス株式会社内

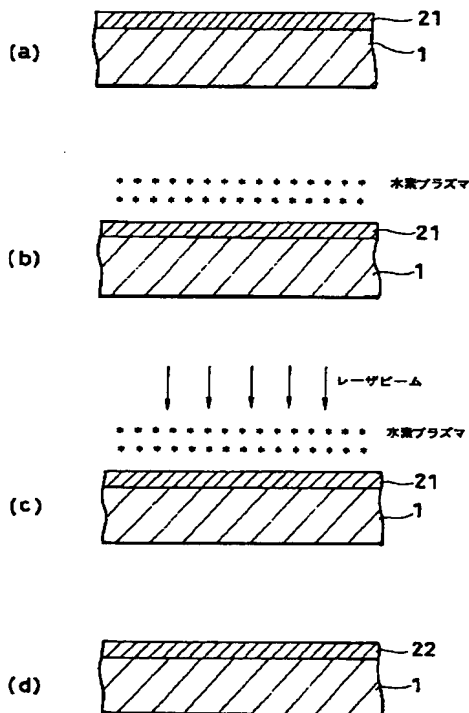
(74) 代理人 弁理士 阪本 清孝 (外1名)

(54) 【発明の名称】 多結晶シリコン膜の製造方法、薄膜トランジスタの製造方法及びリモートプラズマ装置

(57) 【要約】

【目的】 多結晶シリコンを半導体活性層とした薄膜トランジスタの水素化処理方法において、薄膜トランジスタに損傷を与えることなく水素化効率を向上させることを目的とする。

【構成】 絶縁性基板1上に非晶質シリコン膜21を成膜する第1の工程と、水素プラズマ中若しくは水素プラズマを含む雰囲気中で前記非晶質シリコン膜21にレーザービームを照射して多結晶シリコン膜22に再結晶させる第2の工程と、を具備することにより、非晶質シリコン膜21を再結晶させて多結晶シリコン膜22とすると同時に膜内のダングリングボンドを水素で終端させる。



【特許請求の範囲】

【請求項 1】 絶縁性基板上に非晶質シリコン膜を成膜する第 1 の工程と、水素プラズマ中若しくは水素プラズマを含む雰囲気中で前記非晶質シリコン膜にレーザビームを照射して多結晶シリコン膜に再結晶させる第 2 の工程と、を具備することを特徴とする多結晶シリコン膜の製造方法。

【請求項 2】 絶縁性基板上に非晶質シリコン膜を成膜する第 1 の工程と、水素プラズマ中若しくは水素プラズマを含む雰囲気中で前記非晶質シリコン膜を水素プラズマで表面処理する第 2 の工程と、前記第 2 の工程に連続して水素プラズマ中若しくは水素プラズマを含む雰囲気中で非晶質シリコン膜にレーザビームを照射して多結晶シリコン膜に再結晶させる第 3 の工程と、前記多結晶シリコン膜をパターニングして半導体層を形成する第 4 の工程と、該半導体層を被覆するゲート絶縁膜を形成する第 5 の工程と、該ゲート絶縁膜上にゲート電極を形成する第 6 の工程と、該ゲート電極をマスクとしてイオン注入を行ない前記半導体層にソース、ドレイン領域を形成する第 7 の工程と、を具備することを特徴とする薄膜トランジスタの製造方法。

【請求項 3】 プラズマ発生部と、該プラズマ発生部に連通する導入管部と、該導入管部に連通する方形又は円形の環状管部と、を有し、前記環状管部の環状中心側に複数の孔を形成したことを特徴とするリモートプラズマ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は多結晶シリコン膜及び薄膜トランジスタの製造方法に係り、特に、多結晶シリコンから成る半導体層に水素原子を拡散させて多結晶シリコンのトラップ密度の低減を図る水素化処理の方法、及び前記方法において使用するリモートプラズマ装置に関する。

【0002】

【従来の技術】従来、アクティブ型の液晶ディスプレイやマトリックス駆動型の密着型イメージセンサの駆動回路のスイッチング素子としては、薄膜積層構造の薄膜トランジスタ (TFT) が用いられている。薄膜トランジスタは、例えば図 4 に示すように、絶縁性基板 11 上に堆積された半導体膜をパターニングして島状の半導体層 12 を形成し、該半導体層 12 上にゲート絶縁膜 13 及び島状のゲート電極 14 を形成し、ゲート電極 14 の下方に位置する半導体層 12 をトランジスタのチャネルとなる活性層領域 12a とし、ゲート電極 14 をマスクとしてイオン注入を行なうことにより、前記活性層領域 12a を挟むようにソース領域 12b 及びドレイン領域 12c を形成し、ソース領域 12b 及びドレイン領域 12c は前記ゲート絶縁膜 13 及び層間絶縁膜 15 に穿孔されたコンタクト孔 16 を介して配線電極 17、17 に接

続して成る電界効果型のトランジスタから構成されている。前記薄膜トランジスタの活性層としては、非晶質シリコン (a-Si) や多結晶シリコン (Poly-Si) が用いられるが、駆動回路を一体化する場合、動作速度の速い多結晶シリコン膜で形成する必要がある。

【0003】多結晶シリコンを活性層とする薄膜トランジスタにおいては、多結晶シリコンの結晶粒界のシリコンの未結合手によるトラップ準位が存在するので、キャリアの捕獲が発生して粒界に沿った障壁ポテンシャルが形成され、トランジスタ特性の一つであるキャリア移動度が低下するという欠点があった。

【0004】上記欠点を除くため、従来、薄膜トランジスタの作製後に多結晶シリコンの結晶粒界に水素原子を導入し、シリコンの未結合手と結合させてトラップ密度を低減させる水素化処理が行なわれていた。上記水素化処理の具体的な方法としては、例えば、特開昭 64-53553 号公報に示されるように、前記図 4 に示すような薄膜トランジスタの作製後に、水素雰囲気中で、200~600℃、10 気圧程度の加圧、加熱処理により水素原子を拡散させることが提案されている。

【0005】

【発明が解決しようとする課題】しかしながら、上記処理方法によれば、熱拡散により水素を層間絶縁膜 15 及び配線電極 17 を介して半導体層 12 中に導入するため、水素処理効率が低いという問題点がある。また、容器中にて水素の加圧、加熱処理を行なうので、容器に些細なきずが存在する場合においても、水素が大気中に漏れる可能性があり、実用上問題があった。

【0006】本発明は上記実情に鑑みてなされたもので、多結晶シリコンを半導体活性層とした薄膜トランジスタの水素化処理方法において、薄膜トランジスタに損傷を与えることなく水素化効率を向上させることができる多結晶シリコン膜の製造方法及びその方法で使用するリモートプラズマ装置を提供することを目的とする。

【0007】

【課題を解決するための手段】上記従来例の問題点を解消するため、請求項 1 に記載された多結晶シリコン膜の製造方法は、絶縁性基板上に非晶質シリコン膜を成膜する第 1 の工程と、水素プラズマ中若しくは水素プラズマを含む雰囲気中で前記非晶質シリコン膜にレーザビームを照射して多結晶シリコン膜に再結晶させる第 2 の工程と、を具備することを特徴としている。

【0008】請求項 2 に記載された薄膜トランジスタの製造方法は、次の各工程を具備することを特徴としている。第 1 の工程として、絶縁性基板上に非晶質シリコン膜を成膜する。第 2 の工程として、水素プラズマ中若しくは水素プラズマを含む雰囲気中で前記非晶質シリコン膜を水素プラズマで表面処理する。第 3 の工程として、前記第 2 の工程に連続して水素プラズマ中若しくは水素プラズマを含む雰囲気中で非晶質シリコン膜にレーザビ

ームを照射して多結晶シリコン膜に再結晶させる。第 4 の工程として、前記多結晶シリコン膜をパターンニングして半導体層を形成する。第 5 の工程として、前記半導体層を被覆するゲート絶縁膜を形成する。第 6 の工程として、前記ゲート絶縁膜上にゲート電極を形成する。第 7 の工程として、前記ゲート電極をマスクとしてイオン注入を行ない前記半導体層にソース、ドレイン領域を形成する。

【0009】請求項 3 に記載されたりモートプラズマ装置は、プラズマ発生部と、該プラズマ発生部に連通する導入管部と、該導入管部に連通する方形又は円形の環状管部と、を有し、前記環状管部の環状中心側に複数の孔を形成したことを特徴としている。

【0010】

【作用】請求項 1 の発明方法によれば、水素プラズマ中でレーザアニールすることにより、非晶質シリコン膜を再結晶させて多結晶シリコン膜とすると同時に膜内のダングリングボンドを水素で終端させる。

【0011】請求項 2 の発明方法によれば、第 2 の工程において、水素プラズマによって非晶質シリコン膜の表面処理を行なうことにより、非晶質シリコン膜の表面に形成された自然酸化膜を還元し、膜中の酸素濃度を低減させることにより、後の工程のレーザアニール時における膜内への酸素の混入を防止する。また、ゲート絶縁膜の形成前に、水素プラズマ雰囲気中でのレーザアニール照射により半導体層の水素化処理を行なうので、半導体層への水素原子の導入は直接行なわれ、水素化処理を効率よく行なうことができる。

【0012】請求項 3 の発明によれば、方形又は円形の環状管部を設けているので、環状管部の内側に絶縁性基板を配置すれば、プラズマ雰囲気をつくります際に、環状管部の孔からプラズマが流出し、絶縁性基板面において均一にプラズマを導入させることができる。

【0013】

【実施例】本発明に係る薄膜トランジスタの製造方法の一実施例について、図面を参照しながら説明する。図 1 及び図 2 は、本発明方法を適用した薄膜トランジスタの製造工程断面説明図である。ガラス基板上に二酸化シリコンを ECR-CVD 法により 5000 オングストロームの膜厚に堆積して絶縁基板 1 を形成し、この絶縁基板 1 に LPCVD 法、PECVD 法、ECR-CVD 法、スパッタ法、真空蒸着法等により 1000 オングストロームの膜厚に非晶質シリコン膜 2 1 を堆積する (図 1 (a))。

【0014】次に、BHF 処理を施し、前記非晶質シリコン膜 2 1 上に形成された自然酸化膜の除去を行なう。次に、図 3 (a) 及び (b) に示すようなレーザアニール用のチャンバ 5 0 内に絶縁基板 1 を挿入する。チャンバ 5 0 内には、絶縁基板 1 を保温するヒータ部 5 1 が形成され、また、上面に石英窓部 5 2 が形成されている。

チャンバ 5 0 上方にはエキシマレーザ装置 5 3 が設置され、エキシマレーザ装置 5 3 から出射されたレーザビーム 5 4 は、ホモジナイザ 5 5 を通って整形されたレーザビーム 5 6 となり、前記石英窓部 5 2 を介してチャンバ 5 0 内に導かれ、ヒータ部 5 1 上に載置された絶縁基板 1 の表面を照射するようになっている。

【0015】また、チャンバ 5 0 内には、リモートプラズマ装置 6 0 の方形環状管部 6 1 が配置されている。方形環状管部 6 1 の各管 6 1 a, 6 1 b, 6 1 c, 6 1 d は、断面が長方形に形成され、ヒータ部 5 1 に載置される絶縁基板 1 の各辺に沿うように配置されている。また、各管の環状中心方向側の側面には、図 3 (c) に示すように複数の孔 6 2 が穿孔され、この孔 6 2 よりプラズマが流出するようになっている。前記方形環状管部 6 1 の管部 6 1 c は、その中央部において、チャンバ 5 0 の外部に設置したプラズマ発生部 6 3 に導入管部 6 4 を介して連結されている。また、チャンバ 5 0 の内部は、排気部 5 7 に連通されている。

【0016】上記したチャンバ 5 0 の内部を真空に引いた後、チャンバ 5 0 内部と連結されたりモートプラズマ装置 6 0 のプラズマ発生部 6 3 より水素プラズマを導入し、前記絶縁基板 1 を 10 分間水素プラズマに曝すことにより表面処理を行ない、チャンバ内部に絶縁基板 1 を移動する際に生じた自然酸化膜を完全に還元する (図 1 (b))。水素プラズマの流出は、前記した方形環状管部 6 1 の孔 6 2 より絶縁基板 1 の周囲からなされるので、絶縁基板 1 の表面に水素プラズマの水素ラジカルを、その寿命中に効率よく且つ均一に導入させることができる。また、この表面処理を行なう際、プラズマパワーが高すぎる場合や、処理時間が長いと非晶質シリコン膜 2 1 に水素が拡散してしまい、後述のレーザアニール時に水素が爆発的に噴出し、著しく表面性を劣化させてしまうので注意する必要がある。

【0017】続いて、リモートプラズマ装置 6 0 から水素プラズマを導入したままで、絶縁基板 1 の非晶質シリコン膜 2 1 の表面に、エキシマレーザ装置 5 3 により発生させた KrF エキシマレーザ光 ($\lambda = 248 \text{ nm}$) を 450 mJ/cm^2 の密度で照射し、レーザアニールを行なう (図 1 (c))。このレーザアニールにより非晶質シリコン膜 2 1 は溶解し、また、水素プラズマ雰囲気中に行なわれるので、冷却される際に結晶化と同時に水素プラズマによるダングリングボンドの水素終端 (水素化処理) が行なわれた多結晶シリコン膜 2 2 が形成される (図 1 (d))。すなわち、多結晶シリコン膜 2 2 において、粒界のシリコン・ダングリングボンド (シリコンの未結合手) に水素を結合させることにより不活性化させ、電気的に中性化してトラップ密度を低減させる。

【0018】次いで、フォトリソグラフィー及びエッチング法により前記多結晶シリコン膜 2 2 を島状にパターンニングして半導体層 2 を形成する。次に、ECR-CV

D法、PE-CVD法やスパッタ法等により室温で二酸化シリコンを堆積して膜厚1000オングストロームのゲート絶縁膜3を形成する。続いて、例えばLPCVD法によりポリシリコン膜を成膜し、このポリシリコン膜をフォトリソ法によりパターンニングしてゲート電極4を形成する(図2(a))。

【0019】ゲート電極4をマスクとして前記半導体層2にイオンドープ法により不純物(リン若しくはボロン)の導入を行ない、ゲート電極4を挟んで対峙する半導体層2にソース領域2b及びドレイン領域2cを形成し、レーザアニールを行なってソース領域2b・ドレイン領域2cに導入されたドーパントを活性化する(図2(b))。ソース領域2bとドレイン領域2cとの間の半導体層2部分は、薄膜トランジスタのチャネル部分となる活性領域2aが形成されている。また、前記ドーパントの活性化は、レーザアニールにより行なうので、プロセス温度を370℃以下とすることができる。

【0020】その後、導入した水素原子が逃げないように、300~350℃程度の基板温度でシリコン酸化膜等を堆積して層間絶縁膜5を形成する(図2(c))。そして、ソース領域2b及びドレイン領域2c上に位置するゲート絶縁膜3及び層間絶縁膜5にコンタクト孔6を穿孔し、アルミニウム等の金属膜を着膜及びパターンニングして配線電極7を形成する(図2(d))。

【0021】従来例の水素化処理方法によれば、層間絶縁膜15及びゲート絶縁膜13を通して水素を拡散させていたのに対し、上記実施例によれば、ゲート絶縁膜3及び層間絶縁膜5の形成前に、半導体層2の水素化処理を、水素雰囲気中でのレーザビームの照射と同時に進めるので、半導体層2への水素原子の導入は直接行なわれ、水素化処理効率の向上を図ることができる。従って、H⁺プラズマパワーを低く設定することが可能となり、チャネル領域2aとゲート絶縁膜3との界面等に発生する固定電荷を少なくすることができ、しきい値電圧V_{th}を安定させることができる。また、半導体層2にはチャネル領域2a、ソース領域2b、ドレイン領域2cを問わず均一に水素を導入することができる。

【0022】また、多結晶シリコン膜22を形成するレーザアニール前に、水素プラズマにより非晶質シリコン膜21の表面処理を行なうことにより自然酸化膜を還元し、多結晶シリコン膜22に含まれる酸素の量が減少することによりトラップ準位が減少する。その結果、次工程のレーザアニール時における膜内への酸素の混入を防止して、薄膜トランジスタの特性を向上させることができる。また、ゲート絶縁膜3の堆積、ソース・ドレイン領域2b、2cの形成等においては、プロセス温度を低く抑えることができる方法を使用しているので、プロセスの最高温度を水素の脱離する370℃より低く抑えることができ、チャネル領域2aのダングリングボンドから水素が脱離することを防止でき、薄膜トランジスタの

しきい値電圧を良好な値とすることができる。更に、プロセス温度を低く抑えることにより、絶縁基板1としてガラス基板を用いた場合のガラスの歪や伸縮の発生を防止することができる。

【0023】上記実施例においては、リモートプラズマ装置60により水素プラズマを発生させたが、例えば、プラズマ発生部を有するチャンバを使用し、チャンバ内部に直接水素プラズマを発生させてもよい。再結晶化のためのレーザは、XeCl、XeF、ArF等のエキシマレーザ、Arレーザ等、レーザアニールに使用されるレーザであればいずれのレーザであってもよい。また、ゲート絶縁膜3を形成する二酸化シリコンは、ECRCVD法、PE-CVD法やスパッタ法等により堆積したが、370℃以下の温度で堆積可能であれば、その他の方法で行なってもよい。また、ゲート電極4はポリシリコン膜の他に、アルミニウム(Al)、モリブデン(Mo)、クロム(Cr)、チタン(Ti)等の金属膜、或いは、PtSi、TiSi、MoSi等のシリサイド膜で形成してもよい。

【0024】

【発明の効果】請求項1の方法によれば、半導体層の水素化処理を、非晶質シリコン膜を水素プラズマ中でレーザアニールすることにより、再結晶化と同時に水素化処理して多結晶シリコン膜を得る際に行なっているので、半導体層への水素原子の導入は直接行なわれ、水素化処理を効率良く行なって処理時間を短縮することができる。

【0025】請求項2の方法によれば、更に、レーザアニール前に非晶質シリコン膜を水素プラズマ処理して表面酸化膜を還元することができるので、トラップ準位を減少させて、次工程のレーザアニール時における膜内への酸素の混入を防止し、薄膜トランジスタの特性の向上を図ることができる。また、多結晶シリコン膜の形成時に同時に水素化処理を行なうので、薄膜トランジスタの配線電極等への損傷を生じさせることがなく、スループットの向上を図ることができる。

【0026】請求項3の装置によれば、方形又は円形の環状管部を設けているので、環状管部の内側に基板を配置すれば、プラズマ雰囲気をつくりだす際に、環状管部の孔からプラズマが流出し、環状管部の内側に設置された絶縁基板面において均一にプラズマを導入させることができ、前記方法において適したプラズマ雰囲気を作成することができる。

【図面の簡単な説明】

【図1】 (a)ないし(d)は、本発明の一実施例による薄膜トランジスタの製造方法を示す製造工程図である。

【図2】 (a)ないし(d)は、本発明の一実施例による薄膜トランジスタの製造方法を示す製造工程図である。

7

8

【図 3】 (a) 及び (b) は、上記実施例を実施するための装置の概要説明図、(c) はリモートプラズマ装置の方形環状管の一部分の斜視説明図である。

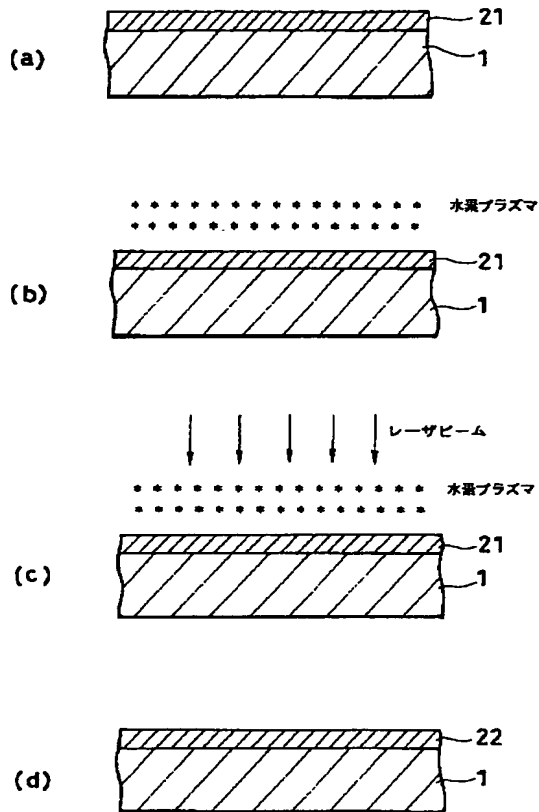
【図 4】 薄膜トランジスタの断面説明図である。

【符号の説明】

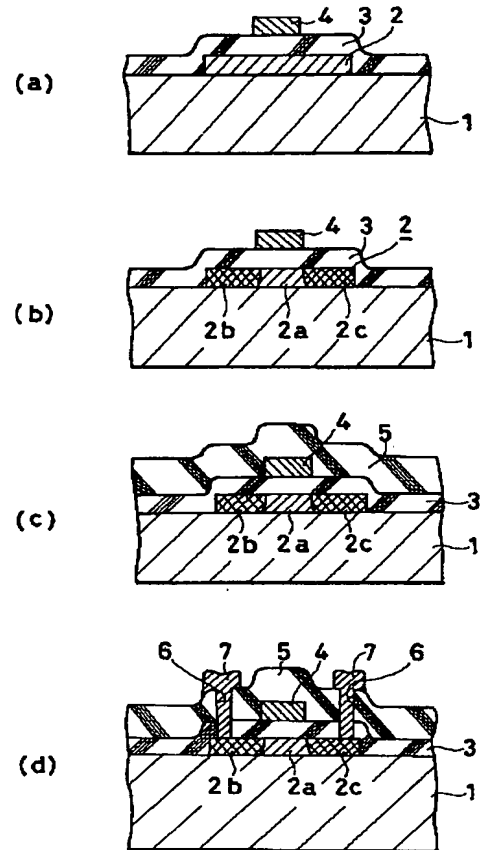
1 … 絶縁基板、 2 … 半導体層、 2 a … 活性領域、

2 b … ソース領域、 2 c … ドレイン領域、 3 … ゲート絶縁膜、 4 … ゲート電極、 5 … 層間絶縁膜、 6 … コンタクト孔、 7 … 配線電極、 2 1 … 非晶質シリコン膜、 2 2 … 多結晶シリコン膜、 6 0 … リモートプラズマ装置、 6 1 … 方形環状管部、 6 2 … 孔、 6 3 … プラズマ発生部、 6 4 … 導入管部

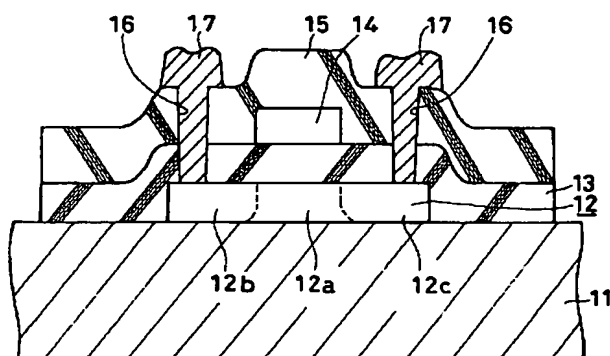
【図 1】



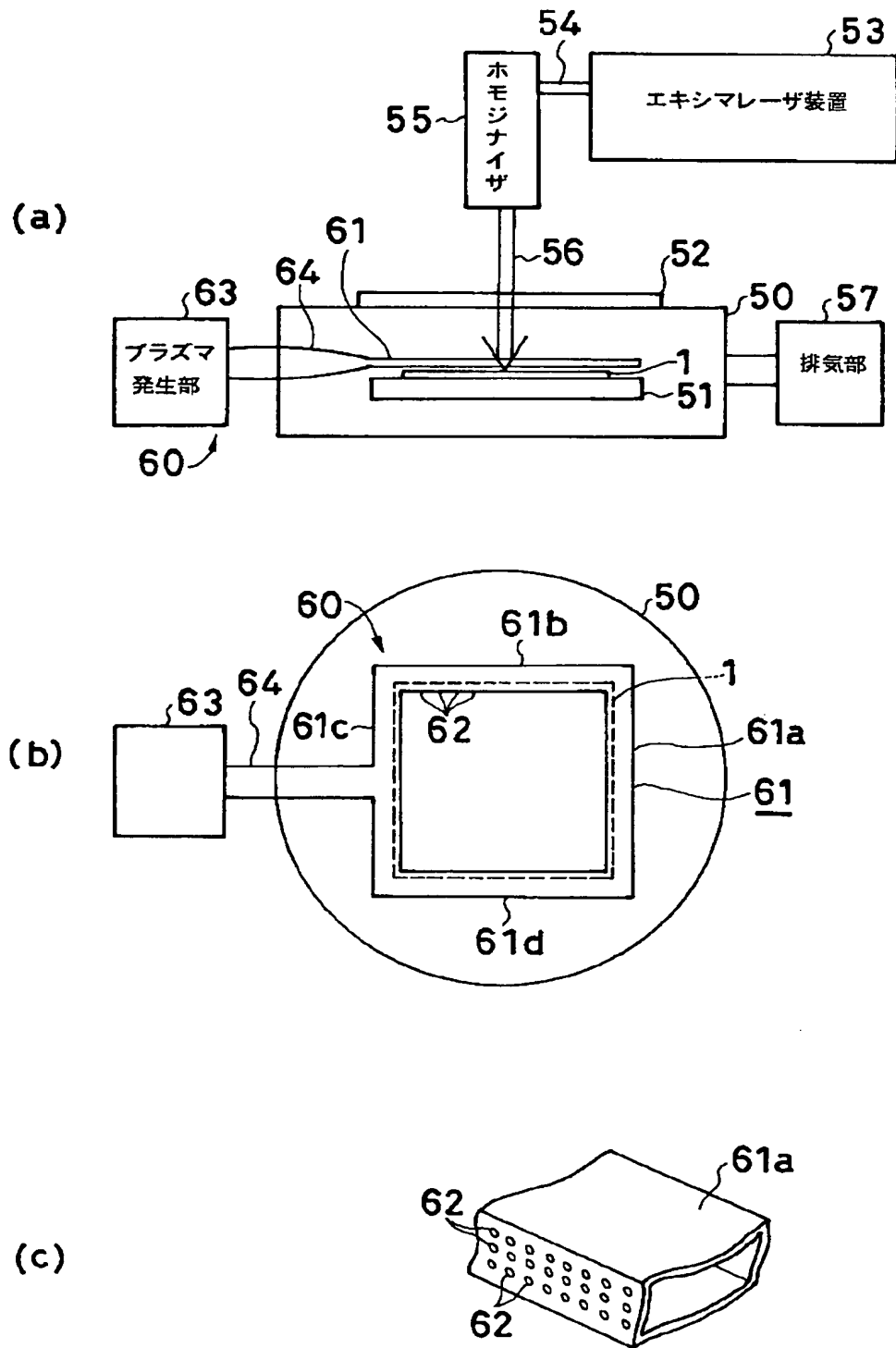
【図 2】



【図 4】



【図 3】



フロントページの続き

(51) Int. Cl.⁵

H 0 1 L 21/336

29/784

識別記号

庁内整理番号

F I

技術表示箇所